

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-7154

(43) 公開日 平成7年(1995)1月10日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9055-4M 7514-4M	H 0 1 L 29/78	3 2 1 S 3 0 1 J

審査請求 未請求 請求項の数 6 F D (全 4 頁)

(21) 出願番号 特願平6-76503

(22) 出願日 平成6年(1994)3月23日

(31) 優先権主張番号 P 4 3 0 9 7 6 4 . 2

(32) 優先日 1993年3月25日

(33) 優先権主張国 ドイツ (D E)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト  
SIEMENS AKTIENGESEL  
LSCHAFT  
ドイツ連邦共和国 ベルリン 及び ミュ  
ンヘン (番地なし)

(72) 発明者 イエネ チハニ

ドイツ連邦共和国 80689 ミュンヘン  
ハルテルスシュトラッセ 6

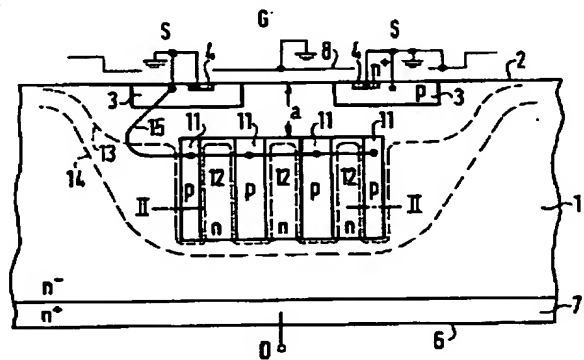
(74) 代理人 弁理士 富村 潔

(54) 【発明の名称】 パワー-MOSFET

(57) 【要約】

【目的】 高い逆電圧に適し、順方向では低いバルク抵抗を有するようなパワー-MOSFETを形成する。

【構成】 半導体に予め定められたドーピング濃度を有する第1の導電形の内部領域1と、この内部領域1及び半導体基体の表面2に接する少なくとも1つの第2の導電形のベース領域3と、ベース領域3内にそれぞれ埋設された少なくとも1つのソース領域4と、半導体基体の表面7に接する少なくとも1つのドレイン領域7とを有し、内部領域1内には逆電圧の際に広がる空間電荷領域内に第2の導電形の補助領域11を配置し、この補助領域11間に内部領域1よりも高ドーピングされた少なくとも1つの第1の導電形の補助領域12を設け、補助領域のドーピング強さ及び第2の導電形の補助領域間の間隔は逆電圧が印加されたときその電荷キャリアが空になるように設定する。



**【特許請求の範囲】**

**【請求項 1】** 半導体基体に予め定められたドーピング濃度を有する第 1 の導電形の内部領域と、この内部領域及び半導体基体の表面に接する少なくとも 1 つの第 2 の導電形のベース領域と、ベース領域内にそれぞれ埋設された少なくとも 1 つのソース領域と、半導体基体の表面に接する少なくとも 1 つのドレイン領域とを有するパワー MOS FET において、内部領域内には逆電圧の際に広がる空間電荷領域内に第 2 の導電形の補助領域 (11、26) が配置され、これらの補助領域の間に位置して内部領域よりも高ドーピングされた少なくとも 1 つの第 1 の導電形の補助領域 (12、27) が設けられ、補助領域のドーピング強さ及び第 2 の導電形の補助領域の間隔は逆電圧が印加された際にその電荷キャリアが空にされるように設定されることを特徴とするパワー MOS FET。

**【請求項 2】** 補助領域は板状に形成され、ベース領域 (3) の 1 つとドレイン領域 (7、24) との間の最短接続線に対して平行に配置されることを特徴とする請求項 1 記載のパワー MOS FET。

**【請求項 3】** 補助領域 (18) は棒状に形成され、ベース領域 (3) の 1 つとドレイン領域 (7、24) との間の最短接続線に対して平行に配置されることを特徴とする請求項 1 記載のパワー MOS FET。

**【請求項 4】** ドレイン領域 (7) は第 2 の表面 (6) に接し、補助領域 (11、12) は半導体基体の表面 (6) に対して垂直に配置されることを特徴とする請求項 2 又は 3 記載のパワー MOS FET。

**【請求項 5】** ドレイン領域 (24) 及び補助領域 (26、27) は第 1 の表面 (2) に接し、半導体基体の表面に対して平行に配置されることを特徴とする請求項 2 又は 3 記載のパワー MOS FET。

**【請求項 6】** 第 2 の導電形の補助領域 (11、26) はベース領域 (3) と電気的に接続されることを特徴とする請求項 1 乃至 5 の 1 つに記載のパワー MOS FET。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、半導体基体に予め定められたドーピング濃度を有する第 1 の導電形の内部領域と、この内部領域及び半導体基体の表面に接する少なくとも 1 つの第 2 の導電形のベース領域と、ベース領域内にそれぞれ埋設する少なくとも 1 つのソース領域と、半導体基体の表面に接する少なくとも 1 つのドレイン領域とを有するパワー MOS FET に関する。

**【0002】**

**【従来の技術】** この種のパワー MOS FET はずっと前から知られている。この MOS FET のユニポーラの伝導機構により、順方向電圧は内部領域のドーピングにほぼ依存する。500V 以上の逆電圧を有するパワー MOS

FET の場合、順方向抵抗は比較の対象となりうるバイポーラトランジスタの場合よりも高くなる。ドーピングを高めると阻止性能が低下するので、ドーピングを高めることは問題にならない。

**【0003】**

**【発明が解決しようとする課題】** 本発明の課題は、高い逆電圧に適し、しかも順方向では低いバルク抵抗を有するように、上述した種類のパワー MOS FET を形成することにある。

**【0004】**

**【課題を解決するための手段】** 上述の課題を解決するため、本発明によれば、内部領域内には逆電圧の際に広がる空間電荷領域内に第 2 の導電形の補助領域が配置され、これらの補助領域の間に位置して内部領域よりも高ドーピングされた少なくとも 1 つの第 1 の導電形の補助領域が設けられ、補助領域のドーピング強さ及び第 2 の導電形の補助領域の間隔は逆電圧が印加された際にその電荷キャリアが空にされる。

**【0005】** 本発明のその他の構成は請求項 2 以降に記載されている。

**【0006】**

**【実施例】** 本発明を図面に示された実施例に基づいて説明する。

**【0007】** 図 1 に示された縦形 MOS FET は低 n ドーピングされた内部領域 1 を有している。半導体基体の上側表面 2 内には反対の導電形 (p) のベース領域 3 が設けられている。ベース領域 3 内には第 1 の導電形 (n+) のソース領域 4 が埋込まれている。表面 2 上に絶縁されてゲート電極 8 が配置されている。他方の表面 6 には内部領域 1 と同じ導電形の高ドーピングされたドレイン領域 7 が設けられている。

**【0008】** 内部領域 1 内には逆電圧の際に広がる空間電荷領域の範囲内に補助半導体領域 11、12 が配置されている。内部領域とは反対の導電形の少なくとも 2 つの領域 11 が設けられている。領域 11 間には内部領域 1 と同じ導電形 (n) を有し内部領域よりも高くドーピングされた補助領域 12 が配置されている。領域 11、12 は板状、例えば円板状に形成することができる (図 2 参照)。反対の導電形の補助領域は棒状に形成することもできる (図 3 の 18 参照)。その補助領域は単一の領域 17 によってあらゆる側から取囲まれている。この領域 17 は領域 12 と同様に内部領域と同じ導電形を有しているが、内部領域よりも高ドーピングされている。p ドーピングされた領域は図 4 に示されているように三次元格子 21 を形成することもできる。n ドーピング領域は符号 20 が付されている。MOS FET の導電形は反転させることもできる。

**【0009】** 図 1 に示されたパワー MOS FET に電圧が順方向に印加されると、このパワー MOS FET はゲート 8 を介して導通制御することができる。この場合、

ソース領域 4 から出される電子は補助領域 1 2 において高ドーピングと出会う。それによりパワー MOSFET のバルク抵抗が減少する。

【0010】パワー MOSFET に逆電圧が印加されると、内部領域 1 とベース領域 3 との間の p n 接合を起点として空間電荷領域が形成され、その広がり逆電圧の大きさに応じて大きくなる。空間電荷領域が p ドーピング領域 1 1 に突き当たると、これらの p ドーピング領域 1 1 は内部領域 1 の電荷キャリアを空にされた領域を介してベース領域 3 に高抵抗で接続される。逆電圧がさらに大きくなると、空間電荷領域はさらに広がり、その結果電荷キャリアの一部分も領域 1 1、1 2 から空にされる。このことは破線 1 3 によって示されている。逆電圧がさらに大きくなると、電荷キャリアは内部領域 1 の大部分及び領域 1 1、1 2 から完全に空にされる。空間電荷領域は内部領域 1 内において破線 1 4 によって制限された経路を辿る。最大逆電圧が印加されると、補助領域は空間電荷領域内に完全に位置する。補助領域はブレークダウンが起こる前に電荷キャリアが空にされなければならない。

【0011】電荷キャリアを空にすることは領域 1 1、1 2 がまるで存在していないような効果を奏する。空間電荷領域が最大に広がると第一次近似では専ら内部領域 1 のドーピングが重要になる。このドーピングが十分に低く、例えば  $5 \times 10^{13} \text{ cm}^{-3}$  に選定されると、このデバイスを用いて容易に 1000V 以上を阻止することができる。それに対して順方向の場合には本発明によるパワー MOSFET は相当低い電圧を阻止する MOSFET の抵抗に相当する抵抗を有する。

【0012】バルク抵抗は第 1 の表面 2 と領域 1 1、1 2 との間隔 a によって調整することができる。バルク抵抗はさらに領域 1 2 のドーピングによって調節することができる。しかしながら、領域 1 1、1 2 のドーピング及び厚みは、最大逆電圧が印加された際に電荷キャリアがそれらの領域から完全に空にされるように調整される。

【0013】補助領域 1 1 を空間電荷領域を介してベース領域 3 に接続する代わりに、補助領域はベース領域へ直接に低抵抗で接続することもできる。このことは図 1 においては接続線 1 5 によって概念的に示されている。この直接接続によって、空間電荷領域が領域 1 1、1 2 に到達する前に、電荷キャリアを空にすることが既に始まる。

【0014】補助領域は、例えば、ドレイン領域 7 (n + 基板) を起点として先ず内部領域 1 が補助領域 1 1、1 2 の意図された上縁までエピタキシャルに堆積されることによって作ることができる。その後、例えばメモリ技術により知られているトレンチ技術にて補助領域の垂直寸法に相当する深さを持つ第 1 の溝がエピタキシャル層内へエッチング形成される。その後、溝内にはこの溝

が満たされるまで p ドーピングされた材料がエピタキシャルに堆積される。第 2 の溝エッチング及びエピタキシャル堆積によってその後同様な方法で n ドーピングされた領域 1 2 を作ることができる。次いで、さらに、半導体基体が予め定められた厚みに達するまで、弱 n ドーピングされた材料がエピタキシャルに堆積される。領域 3、4 並びに酸化膜、電極等は公知技術によって製作することができる。

【0015】図 5 には横形 MOSFET の断面が示されている。図 1 と同時に、内部領域は 1、ベース領域は 3、ソース領域は 4、そしてゲート電極は 8 で示されている。上記領域は同様に半導体基体の第 1 の表面 2 内に埋設されている。同じ表面 2 内に弱 n ドーピングされたウエル 2 2 が埋込まれ、一方内部領域 1 は弱 p ドーピングされている。ウエル 2 2 は強 n ドーピングされたドレイン領域 2 4 とドリフト区間 2 3 とを含んでいる。このドリフト区間はゲート電極 8 の下から始まり、ドレイン領域 2 4 まで延びている。このドリフト領域を使用することは知られている (ドイツ連邦共和国特許第 2 8 5 2 6 2 1 号明細書参照)。ドリフト領域は横方向に向いたブレークダウン電界強度を高めるために使われている。ウエル 2 2 内にはこのウエル 2 2 とは反対の導電形の少なくとも 2 つの補助領域 2 6 が配置され、これらの補助領域 2 6 の間にはウエル 2 2 と同じ導電形であるがウエル 2 2 よりも高ドーピングを有する補助領域 2 7 が配置されている。補助領域の平面図が図 6 に示されている。補助領域はこの例では板状例えば円板状に形成され、ベース領域 3 とドレイン領域 2 4 との間の最短接続路に対して平行に配置されている。しかしながら、領域 2 6、2 7 は表面 2 に対して平行に配置されている、即ち、水平に積層されていてもよい。

【0016】補助領域の他の実施例が図 7 に示されている。n ドーピング領域 2 7 はこの例では板状には形成されておらず、その厚みがドレイン領域 2 4 へ向けて拡大されている。このような措置を施すことの意味はドーピング原子の個数がドレイン領域へ向かって増加するようにすることにある。それによってブレークダウン電界強度をさらに高めることができる (ドイツ連邦共和国特許第 2 8 5 2 6 2 1 号明細書参照)。

【0017】図 5 に示された横形 FET においても板状とは異なった他の補助領域を使用することができる。n ドーピング領域 2 7 によって全体的に又は部分的に囲まれた棒状の p ドーピング領域を設けることもできる。

#### 【図面の簡単な説明】

【図 1】本発明による縦形 MOSFET の一実施例を示す断面図。

【図 2】図 1 に示された補助領域の第 1 の例を示す概略図。

【図 3】図 1 に示された補助領域の第 2 の例を示す概略図。

【図 4】図 1 に示された補助領域の第 3 の例を示す概略図。

【図 5】本発明による横形 MOSFET の一実施例を示す断面図。

【図 6】図 5 に示された横形 MOSFET における補助領域の第 1 の例を示す概略図。

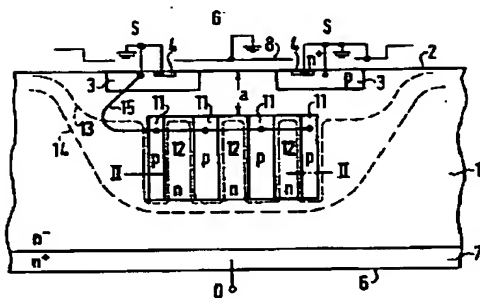
【図 7】図 5 に示された横形 MOSFET における補助領域の第 2 の例を示す概略図。

【符号の説明】

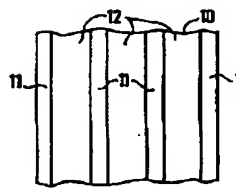
- 1 内部領域
- 2 上側表面
- 3 ベース領域
- 4 ソース領域

- 6 表面
- 7 ドレイン領域
- 8 ゲート電極
- 11、12 補助領域
- 13、14 破線
- 15 接続線
- 17 領域
- 18 棒状領域
- 20 n ドーピングされた領域
- 21 三次元格子
- 22 ウェル
- 24 ドレイン領域
- 26、27 補助領域

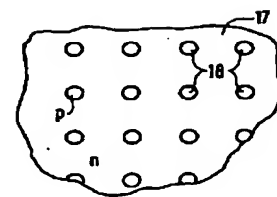
【図 1】



【図 2】



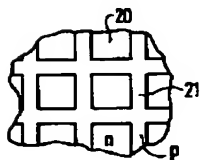
【図 3】



【図 6】

【図 7】

【図 4】



【図 5】

